

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-26602

(43) 公開日 平成9年(1997)1月28日

(51) Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
H 0 1 L 29/786			H 0 1 L 29/78	6 1 6 A
21/336				6 1 7 W

審査請求 未請求 請求項の数 5 F D (全 7 頁)

(21) 出願番号 特願平7-199015

(22) 出願日 平成7年(1995)7月12日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 鈴木 信明

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 藤野 昌宏

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 九鬼 みどり

東京都品川区北品川6丁目7番35号 ソニー株式会社内

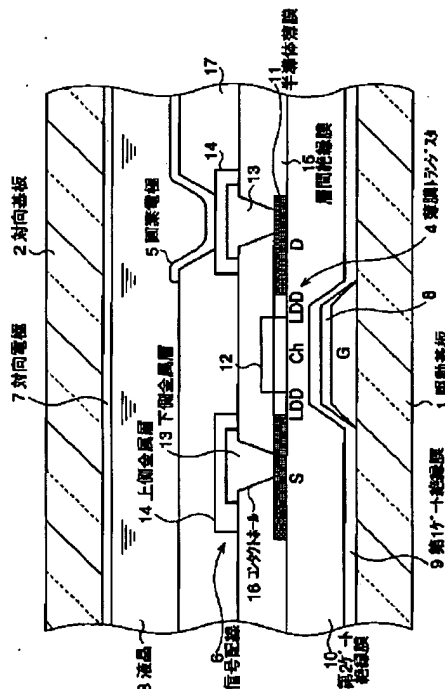
(74) 代理人 弁理士 鈴木 晴敏

(54) 【発明の名称】 アクティブマトリクス表示装置

(57) 【要約】

【課題】 ボトムゲート型の薄膜トランジスタを集積形成したアクティブマトリクス表示装置に設けられる信号配線の電気抵抗及び信頼性を改善する。

【解決手段】 アクティブマトリクス表示装置は所定の間隙を介して接合した駆動基板1及び対向基板2を備えており、両者の間隙には液晶3が保持されている。駆動基板1には薄膜トランジスタ4、画素電極5及び信号配線6が集積形成されている。対向基板2には対向電極7が形成されている。薄膜トランジスタ4はボトムゲート構造を有しており、駆動基板1にパタニング形成されたゲート電極Gと、ゲート電極Gを被覆するゲート絶縁膜9、10とゲート絶縁膜9、10の上にパタニング形成された半導体薄膜11とを備えている。信号配線6は下側金属層13と上側金属層14を重ねた積層構造を有している。下側金属層13はアルミニウムからなり、電気抵抗が比較的低く且つ物理的強度が比較的小さい。上側金属層14はモリブデンからなり下側金属層13を被覆するとともに電気抵抗が比較的高く且つ物理的強度が比較的大きい。



## 【特許請求の範囲】

【請求項1】 薄膜トランジスタ、画素電極及び信号配線が集積形成された駆動基板と、対向電極を有し所定の間隙を介して該駆動基板に接合した対向基板と、該間隙に保持された電気光学物質とを備えたアクティブマトリクス表示装置であって、

前記薄膜トランジスタは、該駆動基板にパタニング形成されたゲート電極と、該ゲート電極を被覆するゲート絶縁膜と、該ゲート絶縁膜の上にパタニング形成された半導体薄膜とを備えたボトムゲート構造を有し、

前記信号配線は、該半導体薄膜に接続するとともに電気抵抗が比較的低く且つ物理的強度が比較的小さい下側金属層と、該下側金属層を被覆するとともに電気抵抗が比較的高く且つ物理的強度が比較的大きい上側金属層を重ねた積層構造を有することを特徴とするアクティブマトリクス表示装置。

【請求項2】 前記下側金属層はアルミニウム、銅、銀及び金から選択された低融点金属材料を主成分とし、前記上側金属層はモリブデン、タンタル、クロム、ニッケル及びチタンから選択された高融点金属材料を主成分とすることを特徴とする請求項1記載のアクティブマトリクス表示装置。

【請求項3】 前記信号配線は、比較的反射率の高い下側金属層を比較的反射率の低い上側金属層で被覆することを特徴とする請求項1記載のアクティブマトリクス表示装置。

【請求項4】 前記信号配線は、比較的線幅の狭い下側金属層を比較的線幅の広い上側金属層で完全に被覆することを特徴とする請求項1記載のアクティブマトリクス表示装置。

【請求項5】 前記薄膜トランジスタは層間絶縁膜により被覆されており、前記信号配線は該層間絶縁膜に開口したコンタクトホールを介して該薄膜トランジスタに電気接続することを特徴とする請求項1記載のアクティブマトリクス表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス表示装置に関する。より詳しくは、ボトムゲート型の薄膜トランジスタと画素電極を集積形成した駆動基板の信号配線構造に関する。

## 【0002】

【従来の技術】アクティブマトリクス表示装置は間隙を介して互いに接合した駆動基板及び対向基板と、この間隙に保持された液晶などの電気光学物質とからなるフラットパネル構造を有している。駆動基板には画素電極、これをスイッチング駆動する薄膜トランジスタ、信号配線、ゲート配線などが集積形成されている。画素電極は行状のゲート配線と列状の信号配線との交差部に形成されている。スイッチング駆動用の薄膜トランジスタも両

配線の交差部に形成されている。従来から薄膜トランジスタの活性層として、非晶質シリコンや多結晶シリコンが用いられている。スイッチング駆動用の薄膜トランジスタに加え周辺回路部を構成する薄膜トランジスタを同一基板上に形成する場合、キャリア移動度などの観点から特性的に優れている多結晶シリコンが採用される。

又、薄膜トランジスタにはトップゲート型とボトムゲート型がある。前者は絶縁基板上に半導体薄膜を形成し、その上にゲート絶縁膜を介してゲート電極をパタニング形成する。逆に、ボトムゲート型は絶縁基板の上にゲート電極をパタニングし、その上にゲート絶縁膜を介して半導体薄膜を形成する。ボトムゲート型は薄膜トランジスタの活性層となる半導体薄膜がゲート絶縁膜を介して絶縁基板から離間しているため基板に含まれる不純物などの悪影響を受けにくく、現在盛んに開発されている。更に、薄膜トランジスタは高温プロセス又は低温プロセスで製造される。高温プロセスでは処理温度が600℃以上に昇るため、基板材料として耐熱性に優れた石英などが用いられる。低温プロセスでは処理温度が600℃以下に押さえられるので、比較的安価なガラス材料などを基板に用いることができる。以上の観点から、現在多結晶シリコンを用いたボトムゲート型の薄膜トランジスタを低温プロセスで形成する技術が注目を集めている。この場合、ゲート電極を含むゲート配線やこれと交差する信号配線は主として金属材料が用いられている。

## 【0003】

【発明が解決しようとする課題】信号配線を構成する金属材料としては、比較的高融点のモリブデン(Mo)や比較的低融点のアルミニウム(Al)が代表的に用いられている。従来、これらの金属材料は単層膜として信号配線に加工されていた。この為、アクティブマトリクス表示装置の大画面化もしくは高密度化を進めた場合、以下に述べる解決すべき課題が生じていた。モリブデンの単層膜の場合、電気抵抗が比較的高いため、アクティブマトリクス表示装置が大型化した場合、配線長が長くなるため信号伝達特性の悪化を招いていた。同様に、アクティブマトリクス表示装置を高密度化した場合でも信号配線の幅が狭くなるため信号伝達特性の悪化が生じる。一方、アルミニウムの単層膜の場合、膜応力に起因してマイグレーションが生じ、所謂ヒロックと呼ばれる欠陥が多発していた。このヒロックは信号配線の断線故障の原因となる。又、アルミニウムは比較的剛性が低く物理的強度が弱い。従って、ゲート配線と信号配線との交差部に生じる段差などでアルミニウムが容易に断線故障を起こしていた。更に、アルミニウムは化学的に活性であるため後工程で用いるエッチング液などにより容易に腐食を起こしていた。これも断線故障の原因となる。加えて、アルミニウムは反射率が高いため、表示装置に入射する外光を大量に反射してしまう。このため、アクティブマトリクス表示装置を直視型のディスプレイとして用

いた場合、外光反射により表示コントラストが悪化するという課題がある。

#### 【0004】

【課題を解決するための手段】上述した従来の技術の課題を解決するため以下の手段を講じた。即ち、本発明に係るアクティブマトリクス表示装置は、基本的な構成として、所定の間隙を介して互いに接合した駆動基板及び対向基板と、この間隙に保持された電気光学物質とを備えている。駆動基板には薄膜トランジスタ、画素電極及び信号配線が集積形成されている。対向基板には対向電極が全面的に形成されている。薄膜トランジスタはボトムゲート構造を有しており、駆動基板にパタニング形成されたゲート電極と、該ゲート電極を被覆するゲート絶縁膜と、該ゲート絶縁膜の上にパタニング形成された半導体薄膜とからなる。前記信号配線は下側金属層と上側金属層とを重ねた積層構造を有している。下側金属層は半導体薄膜に接続するとともに電気抵抗が比較的低く且つ物理的強度が比較的小さい。上側金属層は下側金属層を被覆するとともに電気抵抗が比較的高く且つ物理的強度が比較的大さい。

【0005】下側金属層は、例えばアルミニウム、銅、銀及び金から選択された低融点金属材料を主成分とする。上側金属層は例えば、モリブデン、タンタル、クロム、ニッケル及びチタンから選択された高融点金属材料を主成分とする。好ましくは、前記信号配線は比較的反射率の高い下側金属層を比較的反射率の低い上側金属層で被覆している。又好ましくは、前記信号配線は比較的線幅の狭い下側金属層を比較的線幅の広い上側金属層で完全に被覆している。更に好ましくは、前記薄膜トランジスタは層間絶縁膜により被覆されており、前記信号配線は該層間絶縁膜に開口したコンタクトホールを介して該薄膜トランジスタに電気接続する。

【0006】本発明によれば、信号配線は下側金属層と上側金属層を重ねた積層構造（複合構造）を採用している。下側金属層として比較的電気抵抗の低いアルミニウムを用いることで、複合構造全体としての電気抵抗が下がり、アクティブマトリクス表示装置の大画面化及び高密度化に対応できる。上側金属層として物理的強度が比較的大さいモリブデンなどを用いることで、複合構造全体の剛性を高めており断線故障などを効果的に抑制できる。又、比較的線幅の狭い下側金属層を比較的線幅の広い上側金属層で完全に被覆することで、複合構造全体の耐圧性を改善できる。即ち、化学的に活性なアルミニウムを下側金属層に用いた場合でも、その表面のみならず端面も化学的に不活性な上側金属層で被覆されているため、後工程でエッチング液などにさらされた場合でも腐食が進行しない。更に、アルミニウムなどからなる反射率の高い下側金属層をモリブデンなどの比較的反射率の低い上側金属層で被覆することで、複合構造全体の反射率が低くなり、外光反射を抑制してアクティブマトリク

ス表示装置のコントラスト改善につながる。

#### 【0007】

【発明の実施の形態】以下、図面を参照して本発明の好適な実施形態を詳細に説明する。図1は本発明に係るアクティブマトリクス表示装置の具体的な構成を示す部分断面図である。図示するように、本表示装置は所定の間隙を介して互いに接合した駆動基板1及び対向基板2を備えている。両者の間隙には液晶3などの電気光学物質が保持されている。駆動基板1には薄膜トランジスタ4、画素電極5及び信号配線6などが集積形成されている。対向基板2には対向電極7が全面的に形成されている。

【0008】薄膜トランジスタ4はボトムゲート構造となっており、ガラスなどからなる駆動基板1の表面にパタニング形成されたゲート電極Gを備えている。ゲート電極Gはタンタル、アルミニウム、モリブデン／タンタルの合金などからなり、ゲート配線（図示せず）の一部としてパタニング形成される。ゲート電極Gの表面は陽極酸化膜8で被覆されている。更にその上には、第1ゲート絶縁膜9及び第2ゲート絶縁膜10が順に成膜されている。第1ゲート絶縁膜9は例えばSiN<sub>x</sub>からなり、第2ゲート絶縁膜10はSiO<sub>2</sub>からなる。このように、積層構造のゲート絶縁膜を採用することで、ボトムゲート型薄膜トランジスタ4の耐圧性を確保している。第2ゲート絶縁膜10の上には多結晶シリコンなどからなる半導体薄膜11がパタニング形成されており、薄膜トランジスタ4の活性層となる。即ち、ゲート電極Gの直上にはチャネル領域Chが設けられ、その両側には不純物が高濃度で注入されたソース領域S及びドレイン領域Dが設けられている。なお、本例では薄膜トランジスタ4は所謂LDD構造を有しており、ソース領域Sとチャネル領域Chの間及びドレイン領域Dとチャネル領域Chの間に、それぞれ低濃度不純物領域（LDD）が介在している。このLDD構造を採用することで、薄膜トランジスタ4の電流リークを抑制している。なお、チャネル領域Chの直上には保護膜12がパタニング形成されている。

【0009】本発明の特徴要素である信号配線6は下側金属層13と上側金属層14を重ねた積層構造となっている。この信号配線6は層間絶縁膜15の上にパタニング形成されている。即ち、薄膜トランジスタ4は層間絶縁膜15により被覆されており、信号配線6はこの層間絶縁膜15に開口したコンタクトホール16を介して薄膜トランジスタ4のソース領域Sに電気接続している。なお、ドレイン領域D側にもコンタクトホールを介して下側金属層13及び上側金属層14が接続している。図示のように薄膜トランジスタ4をスイッチング素子として用いる場合には、これらの下側金属層13及び上側金属層14を介してドレイン領域Dが画素電極5と電気接続するようになっている。なお、本例では信号配線6と

5

画素電極5はアクリル樹脂などからなる平坦化膜17により互いに絶縁されている。ところで、薄膜トランジスタを周辺駆動回路の回路素子として用いる場合には、ドレイン領域Dにもソース領域Sと同様に信号配線が接続されることになる。

【0010】上述したように、信号配線6は下側金属層13と上側金属層14を重ねた複合構造を有している。下側金属層13は半導体薄膜11に直接接続するとともに、電気抵抗が比較的低く且つ物理的強度が比較的小さい。これに対し、上側金属層14は下側金属層13を被覆するとともに電気抵抗が比較的高く且つ物理的強度が比較的大きい。下側金属層13は、例えばアルミニウム、銅、銀、金などから選択された低融点金属材料を主成分とする。上側金属層14は例えば、モリブデン、タンタル、クロム、ニッケル、チタンなどから選択された高融点金属材料を主成分とする。下側金属層13の電気抵抗を小さくして、信号配線6の導電性を確保している。又、上側金属層14の物理的強度を大きくして剛性を高め、信号配線6全体の信頼性を確保している。即ち、信号配線6を複合構造とすることにより断線故障などを効果的に防止している。加えて、本例では比較的線幅の狭い下側金属層13を比較的線幅の広い上側金属層14で完全に被覆している。下側金属層13は表面ばかりでなく側面(端面)も上側金属層14で覆われており、エッチング液などから保護されている。加えて、比較的反射率の高い下側金属層13を比較的反射率の低い上側金属層14で被覆している。例えば、下側金属層13としてアルミニウムを用いた場合、その反射率は90%程度である。上側金属層14としてモリブデンを用いた場合、その反射率は45%程度である。この構造では、アクティブマトリクス表示装置を直視型のディスプレイとして用いた場合、信号配線6は外光反射を抑制できるため、表示コントラストが高くなる。

【0011】次に、図2及び図3を参照して、図1に示した表示装置の製造方法を詳細に説明する。先ず、図2の工程Aで、ガラスなどからなる絶縁基板1の上にゲート電極G及びゲート配線(図示せず)をパタニング形成する。前述したように、ゲート電極Gとしては通常タンタル、アルミニウム、モリブデン/タンタルなどを用いることができる。次に工程(B)で、金属ゲート電極Gの表面を陽極酸化処理する。これにより、ゲート電極Gは陽極酸化膜8により被覆される。工程Cに進み、この絶縁基板1の上にプラズマCVD法などを用いて第1ゲート絶縁膜9、第2ゲート絶縁膜10及び半導体薄膜11を連続成膜する。第1ゲート絶縁膜9は例えばSiNxからなる。第2ゲート絶縁膜10はSiO<sub>2</sub>からなる。半導体薄膜11は非晶質シリコンからなる。工程Dに進み、300℃乃至350℃程度で加熱処理(アニール)を行い、プラズマCVDにより成膜された非晶質シリコンからなる半導体薄膜11に含まれた過剰の水素を離脱

6

させる(脱水素)。更に、エキシマレーザパルスなどのレーザ光を照射して半導体薄膜11のみを部分的に加熱溶解し、冷却過程を経て非晶質シリコンを多結晶シリコンに転換する。工程Eに進み、ゲート電極Gと整合するように半導体薄膜11の上に保護膜(チャネルストッパ)12をパタニング形成する。保護膜12のパタニングには例えば裏面露光を用い、ガラスなどからなる透明な絶縁基板1の裏側からゲート電極Gをマスクとしてセルフアライメントで露光処理を行い、保護膜12のパターンを規定する。予め成膜されたSiO<sub>2</sub>などの絶縁膜をこの裏面露光により規定されたパターンで選択的にエッチングすることにより、ゲート電極Gに整合した保護膜(チャネルストッパ)12が得られる。工程Fに進み、保護膜12をマスクとしてセルフアライメントで不純物イオンを比較的低濃度で半導体薄膜11にドーピングする。このイオンドーピングは不純物元素を含む原料気体をプラズマ化し、不純物イオンを生成した後質量分離を行うことなく電界加速して半導体薄膜11に打ち込むものである。これにより、半導体薄膜11に低濃度不純物領域(LDD領域)が形成される。なお、保護膜12の直下には不純物イオンが実質的にドーピングされていないチャネル領域Chが残される。更に、保護膜12のパターンより一回り大きなフォトレジストを形成し、これをマスクとして同じくイオンドーピングにより半導体薄膜11に不純物を高濃度で注入する。これにより、ボトムゲート型薄膜トランジスタ4のソース領域S及びドレイン領域Dが形成される。このフォトレジストのパタニングは、例えばゲート電極Gをマスクとする裏面露光により行うことができる。更に半導体薄膜11にレーザ光を照射し、注入された不純物を活性化しておく。

【0012】図3の工程Gに進み、半導体薄膜11をアイランド状にエッチングして、個々の薄膜トランジスタ4を互いに分離する。更に、絶縁基板1を水素プラズマ雰囲気中もしくは水素ガス雰囲気中に投入し、半導体薄膜11に水素を拡散させる。工程Hに進み、薄膜トランジスタ4をSiNxなどからなる層間絶縁膜15で被覆する。この状態で例えば300℃にて熱アニールを行い、半導体薄膜11に導入された水素を固定する。所謂半導体薄膜11の水素化処理を行い、薄膜トランジスタ4の動作特性を改善する。工程Iに進み、層間絶縁膜15を選択的にエッチングして、薄膜トランジスタ4のソース領域S及びドレイン領域Dに連通するコンタクトホール16を開口する。更に、層間絶縁膜15の上に例えばアルミニウムからなる下側金属層13を蒸着する。工程Jに進み、下側金属層13を所定の形状にパタニングする。例えば、ソース領域S側に接続した下側金属層13は信号配線のパターンに合わせてエッチングされる。ドレイン領域D側に接続した下側金属層13はパッド電極のパターンに合わせてエッチングされる。この下側金属層13を重ねて例えばモリブデンからなる上側金属層

14を蒸着する。最後に工程Kに進み、上側金属層14を所定の形状にパタニングする。これにより、薄膜トランジスタ4のソース領域S側に電極接続した積層構造(複合構造)の信号配線6が得られる。この後、信号配線6を被覆するようにアクリル樹脂などからなる平坦化膜を成膜する。この平坦化膜にコンタクトホールを開口した後ITOなどの透明導電膜を成膜し、所定の形状にパタニングして画素電極に加工する。以上の工程により、図1に示してある駆動基板の構造が得られる。この後、予め対向電極が形成された対向基板を所定の間隙を介して駆動基板に接合し、この間隙に液晶を封入すると、アクティブマトリクス型の表示装置が完成する。

【0013】最後に、図4は図1に示したアクティブマトリクス型表示装置の平面形状を表わしている。図示するように、信号配線6は列状にパタニングされ、ゲート配線20は行状にパタニングされている。両者はともに金属材料からなり優れた遮光性を有する。信号配線6とゲート配線20は行列状に交差してブラックマトリクスを形成する。このブラックマトリクスで囲まれた領域に画素電極5がパタニング形成される。ブラックマトリクスを構成する信号配線6及びゲート配線20はともに比較的反射率の低い金属材料からなり、外光反射を抑制して表示コントラストを高めることができる。信号配線6とゲート配線20の交差部にはボトムゲート型の薄膜トランジスタ4が形成されており、対応する画素電極5をスイッチング駆動する。薄膜トランジスタ4はアイランド状にパタニングされた半導体薄膜11を活性層としており、その下側にはゲート配線20から延設されたゲート電極Gが形成されている。半導体薄膜11に形成されたソース領域Sは複合構造の信号配線6に電気接続している。一方ドレイン領域Dは画素電極5に電気接続している。

【0014】

【発明の効果】以上説明したように、本発明によれば、信号配線が下側金属層と上側金属層を重ねた複合構造を有している。下側金属層は物理的強度が比較的小さい代わりに電気抵抗が比較的低い。上側金属層は電気抵抗が

比較的高い代わりに物理的強度が比較的大きい。このような複合構造を採用することで、信号配線の電気抵抗を実効的に低く押さえることが可能になり、表示装置の大画面化及び高精細化に対応できる。又、係る複合構造を採用することで信号配線の断線故障が起こりにくくなり、信頼性向上が望める。特に上側金属層として物理的強度が高く剛性に優れた金属材料を用いることで信頼性が増す。又、下側金属層よりも反射率の低い上側金属層を設けることで、信号配線自体をブラックマトリクスに利用でき、アクティブマトリクス型表示装置を直視型ディスプレイに応用した場合などコントラストが向上する。

【図面の簡単な説明】

【図1】本発明に係るアクティブマトリクス表示装置の構造を示す部分断面図である。

【図2】本発明に係るアクティブマトリクス表示装置の製造方法を示す工程図である。

【図3】同じくアクティブマトリクス表示装置の製造方法を示す工程図である。

【図4】アクティブマトリクス表示装置のパターン形状を示す平面図である。

【符号の説明】

- 1 駆動基板
- 2 対向基板
- 3 液晶
- 4 薄膜トランジスタ
- 5 画素電極
- 6 信号配線
- 7 対向電極
- 9 第1ゲート絶縁膜
- 10 第2ゲート絶縁膜
- 11 半導体薄膜
- 13 下側金属層
- 14 上側金属層
- 15 層間絶縁膜
- 16 コンタクトホール

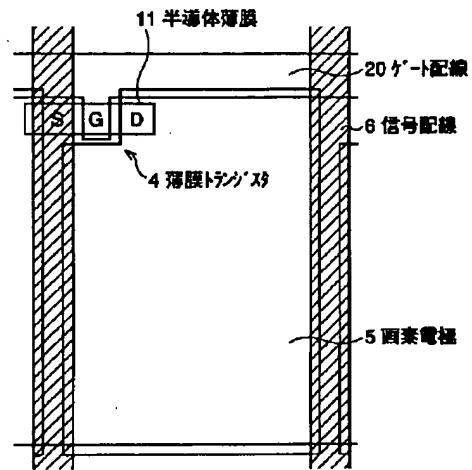
Fig. 1 consists of six cross-sectional views of a semiconductor device, labeled A through F, illustrating the steps of a manufacturing process:

- A:** A substrate with a gate pattern **G** on its top surface.
- B:** The substrate after oxidation of the exposed areas, forming a layer **B**.
- C:** The substrate after deposition of an oxide layer **11** over the entire surface.
- D:** The substrate after annealing under pressure, which has formed the layer **B** again.
- E:** The substrate after deposition of a second oxide layer **12** over the first layer **11**.
- F:** The final device structure, showing the gate **G**, channel **Ch**, and the oxide layers **11** and **12**.

Fig. 10 shows cross-sectional views of the semiconductor device in various stages of manufacturing:

- G:** Initial structure with layers 1-10, gate 4, and contacts 8, 11, 12.
- H:** Addition of layer 15.
- I:** Addition of layer 16 and gate 13.
- J:** Addition of layer 14.
- K:** Final structure with additional contacts 13 and 14.

【図4】



DERWENT-ACC-NO: 1997-150954

DERWENT-WEEK: 199714

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Active matrix display device with bottom  
gate type thin film transistor that uses polycrystalline  
silicon - has upper metal layer with high electrical  
resistance and large physical strength that coats lower  
metal layer with low electrical resistance and small  
physical strength, at signal wiring

PATENT-ASSIGNEE: SONY CORP[SONY]

PRIORITY-DATA: 1995JP-0199015 (July 12, 1995)

PATENT-FAMILY:

PUB-NO	MAIN-IPC	PUB-DATE	LANGUAGE
PAGES			
JP 09026602 A		January 28, 1997	N/A
007	G02F 001/136		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 09026602A	N/A	1995JP-0199015
July 12, 1995		

INT-CL (IPC): G02F001/136, H01L021/336 , H01L029/786

ABSTRACTED-PUB-NO: JP 09026602A

BASIC-ABSTRACT:

The device has a thin film transistor (4), a pixel electrode (5) and a signal wiring (6) whose integration are performed at an actuating substrate (1). An opposing substrate (2) with a counter electrode (7) is attached to the actuating substrate through a predetermined gap maintained by a liq. crystal (3). A pair of gate insulating films (9,10) coat the gate



electrode (G) of the  
TFT.

A patterning is formed on the gate insulating films by a semiconductor thin film (11) i.e. connected to the signal wiring. An upper metal layer (14) with a high electrical resistance and a large physical strength coats a lower metal layer (13) with a comparatively low electrical resistance and small physical strength, at the signal wiring.

ADVANTAGE - Efficiently minimises electrical resistance of signal wiring since upper metal layer coats lower metal layer at signal wiring; minimises disconnection fault of signal wiring. Increases display reliability due to large physical strength of upper metal layer that uses rigid metal ingredient. Improves contrast when display is applied to direct-view type display.

CHOSEN-DRAWING: Dwg.1/4

TITLE-TERMS: ACTIVE MATRIX DISPLAY DEVICE BOTTOM GATE TYPE THIN  
FILM TRANSISTOR

POLYCRYSTALLINE SILICON UPPER METAL LAYER HIGH  
ELECTRIC RESISTANCE  
PHYSICAL STRENGTH COAT LOWER METAL LAYER LOW  
ELECTRIC RESISTANCE  
PHYSICAL STRENGTH SIGNAL WIRE

DERWENT-CLASS: P81 U11 U12 U14

EPI-CODES: U11-D03C; U12-B03A; U12-D02A4; U14-K01A1B;  
U14-K01A2B;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1997-124767

**\* NOTICES \***

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

**[Detailed Description of the Invention]**

**[0001]**

[The technical field to which invention belongs] this invention relates to active-matrix display. It is related with the signal wiring structure of the drive substrate which carried out accumulation formation of bottom gate type TFT and a pixel electrode in more detail.

**[0002]**

[Description of the Prior Art] Active-matrix display has the flat panel structure which consists of the drive substrate and opposite substrate which were joined through the gap, and electrooptic materials, such as liquid crystal held in this gap. Accumulation formation of a pixel electrode, the TFT which carries out the switching drive of this, signal wiring, the gate wiring, etc. is carried out at the drive substrate. The pixel electrode is formed in the intersection of gate wiring of behavior, and the signal wiring of a seriate. The TFT for a switching drive is also formed in the intersection of both wiring. As a barrier layer of TFT, amorphous silicon and polycrystal silicon are used from the former. When forming the TFT which constitutes the circumference circuit section in addition to the TFT for a switching drive on the same substrate, the polycrystal silicon which is excellent in property from viewpoints, such as carrier mobility, is adopted. Moreover, there are a top gate type and a bottom gate type in TFT. The former forms a semiconductor thin film on an insulating substrate, and carries out patterning formation of the gate electrode through a gate insulator layer on it. On the contrary, a bottom gate type carries out patterning of the gate electrode on an insulating substrate, and forms a semiconductor thin film through a gate insulator layer on it. Since the semiconductor thin film used as the barrier layer of TFT has estranged the bottom gate type from the insulating substrate through a gate insulator layer, it cannot receive easily bad influences, such as an impurity contained in a substrate, and it is developed briskly now. Furthermore, TFT is manufactured in an elevated-temperature process or a low-temperature process. In an elevated-temperature process, since processing temperature rises at 600 degrees C or more, the quartz which was excellent in thermal resistance as a substrate material is used. In a low-temperature process, since processing temperature is pressed down by 600 degrees C or less, a comparatively cheap glass material etc. can be used for a substrate. From the above viewpoint, the technology which forms the bottom gate type TFT using the present polycrystal silicon in a low-temperature process attracts attention. In this case, as for the signal wiring which intersects the gate wiring containing a gate electrode, and this, the metallic material is mainly used.

**[0003]**

[Problem(s) to be Solved by the Invention] As a metallic material which constitutes signal wiring, molybdenum (Mo) and the aluminum (aluminum) of comparatively the low melting point of a high-melting point are used comparatively typically. Conventionally, these metallic materials were processed into signal wiring as a monolayer. When big-screen-izing or densification of active-matrix display was advanced for this reason, the technical problem which is described below and which should be solved had arisen. Since electric resistance was comparatively high, when active-matrix display was enlarged in the case of the monolayer of molybdenum, since a wire length became long, aggravation of signal

transfer characteristics had been caused. Since similarly the width of face of signal wiring becomes narrow even when densification of the active-matrix display is carried out, aggravation of signal transfer characteristics arises. On the other hand, in the case of the monolayer of aluminum, it originated in membrane stress, migration arose, and the defects called so-called hillock were occurring frequently. This hillock causes [ of signal wiring ] open-circuit failure. Moreover, rigidity is comparatively low and physical intensity of aluminum is weak. Therefore, aluminum had caused open-circuit failure easily with the level difference produced in the intersection of gate wiring and signal wiring. Furthermore, since aluminum was activity chemically, it had caused corrosion easily by the etching reagent used at an after process. This also causes open-circuit failure. In addition, since the reflection factor of aluminum is high, it will reflect the outdoor daylight which carries out incidence to display in large quantities. For this reason, when active-matrix display is used as a display of a direct viewing type, the technical problem that display contrast gets worse by outdoor daylight reflection occurs.

[0004]

[Means for Solving the Problem] The following meanses were provided in order to solve the technical problem of a Prior art mentioned above. That is, the active-matrix display concerning this invention is equipped with the drive substrate and opposite substrate which were joined through the predetermined gap as fundamental composition, and the electrooptic material held in this gap. Accumulation formation of TFT, a pixel electrode, and the signal wiring is carried out at the drive substrate. The counterelectrode is extensively formed in the opposite substrate. TFT has bottom gate structure and consists of a gate insulator layer which covers the gate electrode by which patterning formation was carried out, and this gate electrode to a drive substrate, and a semiconductor thin film by which patterning formation was carried out on this gate insulator layer. The aforementioned signal wiring has the laminated structure which piled up the bottom metal layer and the top metal layer. Electric resistance is comparatively low and a bottom metal layer has comparatively small physical intensity while connecting with a semiconductor thin film. Electric resistance is comparatively high and its physical intensity is comparatively large while a top metal layer covers a bottom metal layer.

[0005] A bottom metal layer makes a principal component the low melting point metallic material chosen from aluminum, copper, silver, and gold. A top metal layer makes a principal component the high-melting point metallic material chosen from molybdenum, a tantalum, chromium, nickel, and titanium. Preferably, the aforementioned signal wiring has covered the bottom metal layer with a comparatively high reflection factor with the top metal layer with a comparatively low reflection factor. Moreover, the aforementioned signal wiring has covered completely the bottom metal layer with comparatively narrow line breadth with the top metal layer with comparatively wide line breadth preferably. Furthermore, preferably, the aforementioned TFT is covered with the layer insulation film, and electrical connection of the aforementioned signal wiring is carried out to this TFT through the contact hole which carried out opening to this layer insulation film.

[0006] According to this invention, signal wiring has adopted the laminated structure (composite construction) which piled up the bottom metal layer and the top metal layer. By using aluminum with comparatively low electric resistance as a bottom metal layer, the electric resistance as the whole composite construction falls, and it can respond to big-screen-izing and densification of active-matrix display. As a top metal layer, by using comparatively large molybdenum etc., physical intensity is raising the rigidity of the whole composite construction, and can suppress open-circuit failure etc. effectively. Moreover, the pressure resistance of the whole composite construction is improvable by covering completely a bottom metal layer with comparatively narrow line breadth with a top metal layer with comparatively wide line breadth. That is, when activity aluminum is chemically used for a bottom metal layer, or when [ since not only the front face but the end face is chemically covered with the inactive top metal layer, ] it is exposed to an etching reagent etc. at a back process, corrosion does not advance. Furthermore, by covering a bottom metal layer with the high reflection factor which consists of aluminum etc. with top metal layers with a comparatively low reflection factor, such as molybdenum, the reflection factor of the whole composite construction becomes low, suppresses outdoor daylight reflection, and leads to the contrast improvement of active-matrix display.

[0007]

[Embodiments of the Invention] Hereafter, with reference to a drawing, the suitable operation gestalt of this invention is explained in detail. Drawing 1 is the fragmentary sectional view showing the concrete composition of the active-matrix display concerning this invention. This display is equipped with the drive substrate 1 and the opposite substrate 2 which were joined through the predetermined gap so that it may illustrate. Electrooptic materials, such as liquid crystal 3, are held in both gap. Accumulation formation of TFT 4, the pixel electrode 5, the signal wiring 6, etc. is carried out at the drive substrate 1. The counterelectrode 7 is extensively formed in the opposite substrate 2.

[0008] TFT 4 has bottom gate structure and equips the front face of the drive substrate 1 which consists of glass etc. with the gate electrode G by which patterning formation was carried out. The gate electrode G consists of an alloy of a tantalum, aluminum, and a molybdenum/tantalum etc., and patterning formation is carried out as a part of gate wiring (not shown). The front face of the gate electrode G is covered with the oxide film on anode 8. Furthermore, on it, it reaches 1st gate insulator layer 9, and the 2nd gate insulator layer 10 is formed in order. the 1st gate insulator layer 9 -- from SiNx -- becoming -- the 2nd gate insulator layer 10 -- SiO<sub>2</sub> from -- it becomes Thus, the pressure resistance of bottom gate type TFT 4 is secured by adopting the gate insulator layer of a laminated structure. On the 2nd gate insulator layer 10, patterning formation of the semiconductor thin film 11 which consists of polycrystal silicon etc. is carried out, and it becomes the barrier layer of TFT 4. That is, the channel field Ch is established in right above [ of the gate electrode G ], and the source field S where the impurity was poured in by high concentration, and the drain field D are established in the both sides. In addition, in this example, TFT 4 has the so-called LDD structure, and the low concentration impurity range (LDD) intervenes, respectively between the source field S and the channel field Ch and between the drain field D and the channel field Ch. Current leak of TFT 4 is suppressed by adopting this LDD structure. In addition, patterning formation of the protective coat 12 is carried out right above [ of the channel field Ch ].

[0009] The signal wiring 6 which is the feature element of this invention has a laminated structure which piled up the bottom metal layer 13 and the top metal layer 14. Patterning formation of this signal wiring 6 is carried out on the layer insulation film 15. That is, TFT 4 is covered with the layer insulation film 15, and is carrying out electrical connection of the signal wiring 6 to the source field S of TFT 4 through the contact hole 16 which carried out opening to this layer insulation film 15. In addition, the bottom metal layer 13 and the top metal layer 14 have connected also with the drain field D side through a contact hole. In using TFT 4 as a switching element like illustration, the drain field D carries out electrical connection to the pixel electrode 5 through these bottom metal layers 13 and the top metal layer 14. In addition, in this example, signal wiring 6 and the pixel electrode 5 of each other are insulated with the flattening film 17 which consists of acrylic resin etc. By the way, when using TFT as a circuit element of a circumference drive circuit, signal wiring will be connected to the drain field D like the source field S.

[0010] As mentioned above, signal wiring 6 has the composite construction which piled up the bottom metal layer 13 and the top metal layer 14. Electric resistance is comparatively low and its physical intensity is comparatively small while carrying out the direct file of the bottom metal layer 13 to the semiconductor thin film 11. On the other hand, electric resistance is comparatively high and its physical intensity is comparatively large while the top metal layer 14 covers the bottom metal layer 13. The bottom metal layer 13 makes a principal component the low melting point metallic material chosen from aluminum, copper, silver, gold, etc. The top metal layer 14 makes a principal component the high-melting point metallic material chosen from molybdenum, a tantalum, chromium, nickel, titanium, etc. The electric resistance of the bottom metal layer 13 was made small, and the conductivity of signal wiring 6 is secured. Moreover, physical intensity of the top metal layer 14 was enlarged, rigidity was raised, and the reliability of the signal wiring 6 whole is secured. That is, open-circuit failure etc. is effectively prevented by making signal wiring 6 into a composite construction. In addition, this example has covered completely the bottom metal layer 13 with comparatively narrow line breadth in the top metal layer 14 with comparatively wide line breadth. Not only a front face but the side (end face) is

being worn in the top metal layer 14, and the bottom metal layer 13 is protected from the etching reagent etc. In addition, the bottom metal layer 13 with a comparatively high reflection factor is covered with the top metal layer 14 with a comparatively low reflection factor. For example, when aluminum is used as a bottom metal layer 13, the reflection factor is about 90%. When molybdenum is used as a top metal layer 14, the reflection factor is about 45%. With this structure, when active-matrix display is used as a display of a direct viewing type, since signal wiring 6 can suppress outdoor daylight reflection, display contrast becomes high.

[0011] Next, with reference to drawing 2 and drawing 3, the manufacture method of the display shown in drawing 1 is explained in detail. First, patterning formation of the gate electrode G and the gate wiring (not shown) is carried out on the insulating substrate 1 which consists of glass etc. at the process A of drawing 2. As mentioned above, as a gate electrode G, a tantalum, aluminum, molybdenum/tantalum, etc. can usually be used. Next, at a process (B), anodizing of the front face of the metal gate electrode G is carried out. Thereby, the gate electrode G is covered with an oxide film on anode 8. It progresses to Process C, and on this insulating substrate 1, a plasma CVD method etc. is used and continuation membrane formation of the 1st gate insulator layer 9, the 2nd gate insulator layer 10, and the semiconductor thin film 11 is carried out. the 1st gate insulator layer 9 -- for example, SiNx from -- it becomes the insulator layer 10 between the 2nd layer -- SiO<sub>2</sub> from -- it becomes The semiconductor thin film 11 consists of amorphous silicon. It progresses to Process D, heat-treats at 300 degrees C or about 350 degrees C (annealing), and is made to secede from the superfluous hydrogen contained in the semiconductor thin film 11 which consists of amorphous silicon formed by plasma CVD (dehydrogenation). Furthermore, laser beams, such as an excimer laser pulse, are irradiated, heating fusion only of the semiconductor thin film 11 is carried out partially, and amorphous silicon is converted into polycrystal silicon through a cooling process. It progresses to Process E, and patterning formation of the protective coat (channel stopper) 12 is carried out on the semiconductor thin film 11 so that it may have consistency with the gate electrode G. Exposure processing is performed by self-alignment by using the gate electrode G as a mask from the background of the transparent insulating substrate 1 which consists of glass etc. at patterning of a protective coat 12 using rear-face exposure, and the pattern of a protective coat 12 is specified. SiO<sub>2</sub> formed beforehand etc. -- by \*\*\*\*\*ing alternatively by the pattern to which the insulator layer was specified by this rear-face exposure, the protective coat (channel stopper) 12 adjusted in the gate electrode G is obtained It progresses to Process F and impurity ion is comparatively doped to the semiconductor thin film 11 by low concentration by self-alignment by using a protective coat 12 as a mask. Without performing mass separation, after plasma-izing the raw material gas containing an impurity element and generating impurity ion, electric-field acceleration is carried out and this ion doping is driven into the semiconductor thin film 11. Thereby, a low concentration impurity range (LDD field) is formed in the semiconductor thin film 11. In addition, the channel field Ch where impurity ion is not substantially doped directly under the protective coat 12 is left behind. Furthermore, a protective coat 12 turns pattern twist 1, a big photoresist is formed, and an impurity is poured into the semiconductor thin film 11 for this by high concentration by ion doping the same as a mask. Thereby, the source field S of bottom gate type TFT 4 and the drain field D are formed. The rear-face exposure which uses for example, the gate electrode G as a mask can perform patterning of this photoresist. Furthermore, the impurity which irradiated the laser beam and was poured into the semiconductor thin film 11 is activated.

[0012] It progresses to the process G of drawing 3, the semiconductor thin film 11 is \*\*\*\*\*ed in the shape of an island, and each TFT 4 is separated mutually. Furthermore, an insulating substrate 1 is supplied in hydrogen plasma atmosphere or hydrogen gas atmosphere, and the semiconductor thin film 11 is made to diffuse hydrogen. Process H -- progressing -- TFT 4 -- SiNx etc. -- from -- it covers with the becoming layer insulation film 15 Heat annealing is performed at 300 degrees C by this state, and the hydrogen introduced into the semiconductor thin film 11 is fixed. The so-called hydrogen treating of the semiconductor thin film 11 is performed, and the operating characteristic of TFT 4 is improved. It progresses to Process I, and the layer insulation film 15 is \*\*\*\*\*ed alternatively and opening of the contact hole 16 which is open for free passage to the source field S of TFT 4 and the drain field D is

carried out. Furthermore, the vacuum evaporation of the bottom metal layer 13 which consists of aluminum is carried out on the layer insulation film 15. It progresses to Process J and patterning of the bottom metal layer 13 is carried out to a predetermined configuration. For example, the bottom metal layer 13 linked to the source field S side \*\*\*\*\*s according to the pattern of signal wiring. The bottom metal layer 13 linked to the drain field D side \*\*\*\*\*s according to the pattern of a pad electrode. The vacuum evaporation of the top metal layer 14 which turns into this bottom metal layer 13, for example from molybdenum in piles is carried out. Finally it progresses to Process K and patterning of the top metal layer 14 is carried out to a predetermined configuration. Thereby, the signal wiring 6 of a laminated structure (composite construction) which made electrode connection at the source field S side of TFT 4 is obtained. Then, the flattening film which consists of acrylic resin etc. so that signal wiring 6 may be covered is formed. After carrying out opening of the contact hole to this flattening film, transparent electric conduction films, such as ITO, are formed, patterning is carried out to a predetermined configuration, and it is processed into a pixel electrode. According to the above process, the structure of the drive substrate shown in drawing 1 is acquired. Then, if the opposite substrate in which the counterelectrode was formed beforehand is joined to a drive substrate through a predetermined gap and liquid crystal is enclosed with this gap, active-matrix type display will be completed.

[0013] Finally, drawing 4 expresses the flat-surface configuration of the active-matrix type display shown in drawing 1. Patterning of the signal wiring 6 is carried out to a seriate, and patterning of the gate wiring 20 is carried out to behavior so that it may illustrate. Both both have the shading nature which consisted of a metallic material and was excellent. Signal wiring 6 and the gate wiring 20 cross in the shape of a matrix, and form a black matrix. Patterning formation of the pixel electrode 5 is carried out to the field surrounded by this black matrix. The signal wiring 6 and the gate wiring 20 which constitute a black matrix can consist of a metallic material with a reflection factor low both comparatively, can suppress outdoor daylight reflection, and can raise display contrast. Bottom gate type TFT 4 is formed in the intersection of signal wiring 6 and the gate wiring 20, and the switching drive of the corresponding pixel electrode 5 is carried out. TFT 4 makes the barrier layer the semiconductor thin film 11 by which patterning was carried out to the shape of an island, and the gate electrode G installed from the gate wiring 20 is formed in the bottom. Electrical connection of the source field S formed in the semiconductor thin film 11 is carried out to the signal wiring 6 of a composite construction. On the other hand, electrical connection of the drain field D is carried out to the pixel electrode 5.

[0014]

[Effect of the Invention] As explained above, according to this invention, signal wiring has the composite construction which piled up the bottom metal layer and the top metal layer. A bottom metal layer has comparatively low electric resistance to instead of [ with comparatively small physical intensity ]. A top metal layer has comparatively large physical intensity to instead of [ with comparatively high electric resistance ]. By adopting such a composite construction, it becomes possible to press down the electric resistance of signal wiring low in efficiency, and can respond to big-screen-izing of display, and high brilliance-ization. Moreover, open-circuit failure of signal wiring stops being able to happen easily due to adopting the starting composite construction, and improvement in reliability can be desired. Reliability increases because physical intensity uses especially the metallic material which was highly excellent in rigidity as a top metal layer. Moreover, when the signal wiring itself can be used for a black matrix and active-matrix type display is applied to a direct-viewing-type display by preparing a top metal layer with a reflection factor lower than a bottom metal layer, contrast improves.

---

[Translation done.]